

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-084879

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

G06F 12/08

(21)Application number : 05-224362

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.09.1993

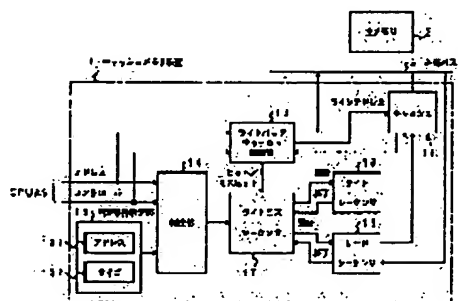
(72)Inventor : YAMADA KUNIO

(54) CACHE MEMORY DEVICE

(57)Abstract:

PURPOSE: To decrease transactions of a bus at the time of a write miss.

CONSTITUTION: When it is previously known that one line on a cache 1 is all rewritten by successive memory write access to be performed by a CPU, the head address and size of the range of the successive access are set as decision conditions in a decision condition setting part 13 by the specification of software. When the CPU requests memory write access, a write-back cache control part 12 decides whether there is a hit or mishit at a write destination and a decision part 14 decides whether or not the write destination is in the address range indicated with the decision conditions in the decision condition setting part 13. A write miss sequencer 17 is informed of a write miss by the control part 12; when the decision part 14 reports that the conditions are met, a write sequencer 16 is actuated without actuating a read sequencer 15, and requested writing is performed on the cache line of the cache 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-84879

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.⁶

G 0 6 F 12/08

識別記号

3 1 0 Z 7608-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平5-224362

(22) 出願日 平成5年(1993)9月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山田 邦夫

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

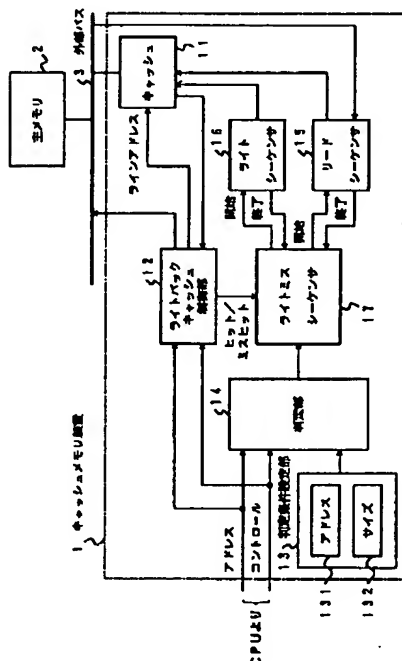
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 キャッシュメモリ装置

(57) 【要約】

【目的】 ライトミス発生時におけるバスのトランザクションの減少を図る。

【構成】 これから発生するCPUの連続するメモリライトアクセスによりキャッシュ11上の1ラインが全て書き換えられることが予め分かっている場合に、ソフトウェアの指定により、その連続アクセスの範囲の先頭アドレスとサイズを判定条件として判定条件設定部13に設定する。CPUからメモリライトアクセスが要求されると、ライトバックキャッシュ制御部12はライト先に対するヒット/ミスヒットの有無を判定し、判定部14はライト先が判定条件設定部13の示す判定条件の示すアドレス範囲に入っているか否かを判定する。ライトミスシーケンサ17は、制御部12によりライトミスが通知され、判定部14により条件成立が通知されると、リードシーケンサ15を起動せずにライトシーケンサ16を起動して、キャッシュ11のキャッシュライン上で要求された書き込みを行わせる。



【特許請求の範囲】

【請求項1】主メモリの内容の一部の写しをライン単位で格納するためのキャッシュを備えたライトバック方式のキャッシュメモリ装置において、

前記主メモリの利用装置からのメモリアクセス要求を受けて、その要求先のデータが前記キャッシュに存在するか否かのヒット／ミスヒットの判定を行う他、前記主メモリに書き戻されていないキャッシュ上の更新済みデータをキャッシュライン単位で前記主メモリにライトバックするための制御を行うライトバックキャッシュ制御手段と、

前記主メモリからキャッシュへの1キャッシュライン分のデータの読み込みを行うリードシーケンサと、

前記利用装置により要求されたライト動作を前記キャッシュのキャッシュライン上で行うライトシーケンサと、

前記ライトバック制御手段によるライトミス検出に応じて起動されるライトミスシーケンサであって、通常状態では前記リードシーケンサを起動した後前記ライトシーケンサを起動し、前記キャッシュ上の1キャッシュラインが全て書き変わる連続ライト動作状態では、前記リードシーケンサを起動せずに前記ライトシーケンサを起動するライトミスシーケンサとを具備することを特徴とするキャッシュメモリ装置。

【請求項2】前記キャッシュ上の1キャッシュラインが全て書き変わる連続ライト動作状態にあるか否かを判定し、その判定結果を前記ライトミスシーケンサに通知する判定手段を更に具備することを特徴とする請求項1記載のキャッシュメモリ装置。

【請求項3】前記連続ライト動作の対象となるメモリ領域を前記判定手段による上記判定に用いられる判定条件として設定するための判定条件設定手段を更に具備し、前記判定手段は、前記利用装置からライト指定のメモリアクセスが要求された場合には、前記判定条件設定手段に設定されている判定条件と要求アクセス先をもとに上記判定を行うことを特徴とする請求項2記載のキャッシュメモリ装置。

【請求項4】前記判定条件設定手段への前記判定条件の設定がソフトウェア処理により行われることを特徴とする請求項3記載のキャッシュメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、主メモリの一部の写しが置かれるキャッシュでのライトミス発生時に好適なライトバック方式のキャッシュメモリ装置に関する。

【0002】

【従来の技術】従来、主メモリの一部の写しが置かれるキャッシュを備えたライトバック方式のキャッシュメモリ装置では、CPUからのライト要求に対してライトミスが発生した場合、ライトミスシーケンサにより次のようなキャッシュ制御が行われるのが一般的であった。

【0003】まず、ライトミスシーケンサによりリードシーケンサが起動され、ライト要求先のデータを含む、キャッシュ1ラインサイズ分の主メモリ上の該当データ部分が、一旦キャッシュラインへ読み込まれる。

【0004】次に、ライトミスシーケンサによりライトシーケンサが起動され、そのキャッシュライン上で、ライト要求先に対応した箇所のデータの変更（更新）が行われる。

【0005】このデータ変更後のキャッシュラインは、ライトバックの対象となり、CPUの空き時間等を利用して、主メモリにライトバックされる（書き込まれる）。この結果、当該キャッシュラインのデータにより、主メモリ上の該当するデータ部分が全て置き換えられ、CPUからのライト要求に応じてキャッシュライン上で行われたデータ更新結果が、その1ラインに対応する主メモリ上のデータ部分のうちの該当箇所（CPUからのライト要求先）に反映される。一方、他の箇所のライトバック後の内容は元の内容に一致し、正しい状態に維持される。

【0006】

【発明が解決しようとする課題】上記したように、従来は、キャッシュにおいてライトミスが発生した場合には、キャッシュ1ラインサイズ分の主メモリ上の該当するデータ部分を一旦キャッシュラインへ読み込んでから、そのキャッシュライン上で、要求されたデータの変更を行うのが一般的であった。

【0007】このように、キャッシュ1ラインサイズ分の主メモリデータ部分をキャッシュラインに読み込んで要求されたデータの変更を行うのは、変更の対象となっていなかった箇所の内容が、主メモリへのライトバックにより変更されないようにするためである。

【0008】しかし、この従来方式では、ライトミスの発生都度、主メモリからキャッシュへのキャッシュ1ライン分の読み込みが発生するため、ライトミスの発生回数が増えたとバスのトランザクションも増加し、性能が低下するという問題があった。

【0009】この発明は上記事情を考慮してなされたものでその目的は、キャッシュ上の1ラインが全て書き換えられることが予め分かっている場合があり、このような場合には、ライトミス発生に応じて主メモリから1ライン分のデータを読み込まなくても、主メモリへのライトバックによる不都合は何ら生じないことに着目し、キャッシュ上の1ラインが全て書き換えられることが予め分かっている場合のライトミス発生時における、主メモリからの該当データ部分の読み込みを抑制することにより、バスのトランザクションの減少を図ることができるキャッシュメモリ装置を提供することにある。

【0010】

【課題を解決するための手段】この発明は、ライトバック方式のキャッシュメモリ装置において、主メモリの利

3

用装置からのメモリアクセス要求を受けて、その要求先のデータがキャッシュに存在するか否かのヒット/ミスヒットの判定を行う他、主メモリに書き戻されていないキャッシュ上の更新済みデータをキャッシュライン単位で主メモリにライトバックするための制御を行うライトバックキャッシュ制御手段と、主メモリからキャッシュへの1キャッシュライン分のデータの読み込みを行うリードシーケンサと、主メモリ利用装置により要求されたライト動作をキャッシュのキャッシュライン上で行うライトシーケンサと、ライトバック制御手段によるライトミス検出に応じて起動されるライトミスシーケンサであって、通常状態ではリードシーケンサを起動した後ライトシーケンサを起動し、キャッシュ上の1キャッシュラインが全て書き変わる連続ライト動作状態では、リードシーケンサを起動せずにライトシーケンサを起動するライトミスシーケンサとを備えたことを特徴とするものである。

【0011】また、この発明は、キャッシュ上の1キャッシュラインが全て書き変わる連続ライト動作状態にあるか否かを判定し、その判定結果をライトミスシーケンサに通知する判定手段を更に備えたことをも特徴とする。

【0012】また、この発明は、連続ライト動作の対象となるメモリ領域を上記判定手段が用いる判定条件として設定するための判定条件設定手段を更に備え、主メモリ利用装置からのメモリライトアクセス要求時には、この判定条件と要求アクセス先をもとに判定手段による上記判定が行われるようにしたことをも特徴とする。

【0013】

【作用】上記の構成において、これから発生する(CPUなどの)主メモリ利用装置の連続する主メモリライトアクセスにより、キャッシュ上の1ラインが全て書き換えられることが予め分かっているような場合には、ソフトウェアの指定により、例えば、そのライトアクセスの先頭アドレスとその範囲を示すサイズからなる判定条件が、判定条件設定手段に設定される。

【0014】判定手段は、主メモリ利用装置からの主メモリライトアクセス要求があると、要求されたライトアドレスが判定条件設定手段に設定されている判定条件の示すアドレス範囲内に入っているか否かを判定し、入っている場合には、条件成立をライトミスシーケンサに通知する。

【0015】一方、ライトバックキャッシュ制御手段は、主メモリ利用装置からの主メモリライトアクセス要求があると、その要求されたライトアクセス先のデータがキャッシュに存在するか否か、即ちライト時のヒット/ミスヒットの有無を調べ、その結果をライトミスシーケンサに通知する。

【0016】ライトミスシーケンサは、ライトバックキャッシュ制御手段からライトミスが通知されると、判定

4

手段から条件成立(を示す判定結果)が通知されているか否かを調べる。もし、条件成立が通知されているならば、ライトミスシーケンサは、判定手段によってリードシーケンサを起動させないことが指示されているものと判断し、従来のようにリードシーケンサを起動した後ライトシーケンサを起動するのではなく、リードシーケンサを起動せずにライトシーケンサを起動する。

【0017】このように、主メモリ利用装置からの主メモリライトアクセス要求が判定条件設定手段の示す条件に合致している場合、即ちキャッシュ上の1ラインが全て書き換えられる主メモリライトの場合には、リードシーケンサによる主メモリからキャッシュへのデータ読み込みが行われないことから、バスのトランザクションの減少が図れる。

【0018】しかも、主メモリからキャッシュへのデータ読み込みが行われなくても、連続するライトアクセスによりキャッシュ上の1ラインが全て書き換えられることから、その後、ライトバックキャッシュ制御手段のライトバック制御により、当該キャッシュラインのデータがキャッシュから主メモリにライトバックされても、何ら問題はない。

【0019】

【実施例】図1はこの発明の一実施例に係るライトバック方式のキャッシュメモリ装置の構成を示すブロック図である。同図において、1はライトバック方式のキャッシュメモリ装置、2は主メモリ、3はキャッシュメモリ装置1および主メモリ2が接続されている外部バスである。

【0020】キャッシュメモリ装置1は、キャッシュ11、ライトバックキャッシュ制御部12、判定条件設定部13、判定部14、リードシーケンサ15、ライトシーケンサ16およびライトミスシーケンサ17を有している。

【0021】キャッシュ11は、主メモリ2の内容の一部の写しを、ライン(ブロック)単位で格納するのに用いられる。但し本実施例では、ライトバック方式を適用しているため、キャッシュ11のキャッシュラインの内容が、常に主メモリ2の該当データ部分と同一であるとは限らない。この主メモリ2とは内容が異なるキャッシュラインをダーティなキャッシュラインと呼び、主メモリ2へのライトバック(書き戻し)の対象となる。

【0022】ライトバックキャッシュ制御部12は、キャッシュメモリ装置1全体の制御を司るもので、CPU(図示せず)からのメモリアクセス要求を受けて、その要求先のデータがキャッシュ11に存在するか否かのヒット/ミスヒットの判定を行う他、主メモリ2に書き戻されていないキャッシュ11上の更新済みデータをキャッシュライン単位で主メモリ2にライトバックするための制御、即ちダーティなキャラクタのデータを主メモリ2に書き戻すための制御等を行う。このキャッシュ制御

のためのタグメモリ（ディレクトリメモリ）は省略されている。

【0023】判定条件設定部13は、ライトバックキャッシュ制御部12によりライトミスが検出された場合に、ライト要求先のデータを含む、キャッシュ1ラインサイズ分の主メモリ2上の該当データ部分をキャッシュ11に読み込む必要があるか否かの判定に用いられる条件（判定条件）を設定するためのものである。この判定条件は、CPUからの主メモリライトアクセスが連続して行われ、キャッシュ11上の1ラインが全て書き換えられることが予め分かっている場合にソフトウェアの指定により設定されるもので、そのライトアクセスの先頭アドレスとその範囲を示すサイズからなる。そこで、判定条件設定部13は、この判定条件の設定のために、上記先頭アドレスが設定されるアドレスレジスタ131と、サイズが設定されるサイズレジスタ132とで構成されている。

【0024】判定部14は、CPUからの主メモリライトアクセス要求が判定条件設定部13に設定されている判定条件に合致するか否かを判定する。リードシーケンサ15は、主メモリ2からキャッシュ11への1キャッシュライン分のデータの読み込みを行う。

【0025】ライトシーケンサ16は、キャッシュ11への書き込みを行う。ライトミスシーケンサ17は、ライトバックキャッシュ制御部12によるライトミス判定時の動作を制御するもので、判定部14の判定結果をもとに、リードシーケンサ15を起動するか否かを決定する。

【0026】次に、図1の構成の動作を図2のフローチャートを参照して説明する。まず、これから発生するCPUの連続する主メモリライトアクセスにより、キャッシュ11上の1ラインが全て書き換えられることが予め分かっているものとする。

【0027】このような場合には、ソフトウェアの指定（に従うCPUの動作）により、その連続アクセスの範囲の先頭アドレスとサイズからなる情報が、ライトミス時にキャッシュ1ラインサイズ分のデータを主メモリ2からキャッシュ11に読み込む必要があるか否かの判定条件として、判定条件設定部13に設定される。具体的には、判定条件中の先頭アドレスが判定条件設定部13内のアドレスレジスタ131に、当該判定条件中のサイズが判定条件設定部13内のサイズレジスタ132に、それぞれ設定される。

【0028】このような判定条件設定が行われるのは、例えばオペレーティングシステム（OS）のメモリ管理における1ページのゼロクリアなどの場合やブロックコピーの場合などである。

【0029】さて、以上の判定条件設定動作の後、CPUから主メモリライトアクセスのためのアドレスとコントロール信号が出力されたものとする。このアドレスと

コントロール信号は、ライトバックキャッシュ制御部12および判定部14に導かれる。

【0030】ライトバックキャッシュ制御部12は、CPUからのコントロール信号がライト要求を示している場合、同CPUからのアドレスの指定するライトアクセス先のデータがキャッシュ11に格納されているか否か、即ちライト時のヒット/ミスヒットの有無を調べ、その結果をライトミスシーケンサ17に通知する。ここでのライトバックキャッシュ制御部12の動作は、従来と同様である。

【0031】一方、判定部14は、CPUからのコントロール信号がライト要求を示している場合、同CPUからのアドレスが、判定条件設定部13に設定されている判定条件で示されるアドレス範囲、即ちアドレスレジスタ131の示すアドレスから始まるサイズレジスタ132の示すサイズ分のアドレス範囲内に入っているか否かを判定する。

【0032】判定部14は、CPUからのアドレスが上記アドレス範囲内に入っている場合に限り、即ちCPUからのコントロール信号がライト要求を示し、且つCPUからのアドレスが判定条件設定部13の示す判定条件に合致している場合に限り、ライトミスシーケンサ17に対して条件成立を通知する。

【0033】ライトミスシーケンサ17は、ライトバックキャッシュ制御部12からライトミスが通知されると、以下に述べるように、図2のフローチャートに従う処理を行う。

【0034】まずライトミスシーケンサ17は、判定部14から条件成立（を示す判定結果）が通知されているか否かを調べる（ステップS1）。もし、条件成立が通知されているならば、ライトミスシーケンサ17は、判定部14によってリードシーケンサ15を起動させないことが指示されているものと判断する。この場合、ライトミスシーケンサ17は、従来のようにリードシーケンサ15を起動した後にライトシーケンサ16を起動するのではなく、リードシーケンサ15を起動せずに、直ちにライトシーケンサ16を起動する（ステップS2）。

【0035】即ちライトミスシーケンサ17は、ライト要求先のデータを含む、キャッシュ1ラインサイズ分の主メモリ2上の該当データ部分を読み込むことなく、ライトシーケンサ16を起動して、キャッシュ11の1キャッシュライン上のライト要求先に対応する位置のデータを、CPUからのライトデータに書き換えさせる。

【0036】この場合、リードシーケンサ15による主メモリ2からキャッシュ11へのデータ読み込みが行われないことから、外部バス3のトランザクションが減少する。

【0037】ここで、書き換えの対象となるキャッシュ11上のキャッシュライン（を示すラインアドレス）は、ライトバックキャッシュ制御部12により決定され

る。もし、この決定されたキャッシュラインの内容が主メモリ2へのライトバックの対象となっている場合には、同ラインのデータをライトバックキャッシュ制御部12が主メモリ2に書き戻した後、上記の書き換えが行われる。

【0038】これに対し、判定部14から条件不成立が通知されている場合には、ライトミスシーケンサ17は、従来のように、まずリードシーケンサ15を起動して(ステップS3)、ライト要求先のデータを含む、キャッシュ1ラインサイズ分の主メモリ2上の該当データ部分をキャッシュ11に読み込ませた後、ライトシーケンサ16を起動する(ステップS4)。

【0039】なお、ライトバックキャッシュ制御部12でライトヒットが検出された場合には、ライトシーケンサ16が起動されて、ヒットしたキャッシュ11のキャッシュライン上のライト要求先に対応する位置のデータが、CPUからのライトデータに書き換えられる。

【0040】以上のように、本実施例によれば、CPUからの連続する主メモリライトアクセスの要求先が、判定条件設定部13に設定されている判定条件の示すアドレス範囲内に入っている限りは、ライトミスが発生したとしてもリードシーケンサ15は起動されず、このため主メモリ2からキャッシュ11への該当する1ライン分の読み込みは行われず、ライトシーケンサ16によって単にキャッシュ11のキャッシュライン上でのデータ書き換えが行われるだけである。

【0041】このキャッシュ11の当該キャッシュラインは、上記の主メモリライトアクセスが連続して行われると、全てCPUからのライトデータに書き換えられる。したがって、その後、ライトバックキャッシュ制御部12のライトバック制御により、当該キャッシュラインのデータをキャッシュ11から主メモリ2にライトバックすると、主メモリ2上の該当するデータ部分を全てCPUからのライトデータに正しく書き換えたことになる。

【0042】即ち、CPUからの連続する主メモリライトアクセスの要求先が、判定条件設定部13に設定されている判定条件の示すアドレス範囲内に入っている場合には、ライトミス発生時にリードシーケンサ15を起動しないで(ライトシーケンサ16による)キャッシュ11上でのデータ書き換えを行ったとしても、連続アクセスの後のライトバックにより、主メモリ2上の該当するデータ部分は全て正しいデータに書き換えられる。

【0043】なお、前記実施例では、CPUからの主メモリライトアクセスが連続して行われ、キャッシュ11上の1ラインが全て書き換えられることが予め分かって

いる場合に、そのライトアクセスの先頭アドレスとその範囲を示すサイズが判定条件として用いられる場合について説明したが、これに限るものではない。

【0044】例えば、ページング方式を適用するシステムにあっては、ページと主メモリ(2)上のメモリ領域との対応関係を示すページテーブルの各エントリに、対応ページへのアクセスが連続して行われるか否かを示すフラグビットを設け、OSのメモリ管理における当該ページのゼロクリアなどの場合には、対応するページテーブル内エントリのフラグビットをオンするようにしても構わない。この方式では、当該ページを対象とする主メモリライトアクセスの期間中は、判定部14からライトミスシーケンサ17に対して条件成立を通知するようにすればよい。

【0045】

【発明の効果】以上詳述したようにこの発明によれば、キャッシュ上の1ラインが全て書き換えられる連続ライト動作状態における、主メモリ利用装置からの主メモリライトアクセス要求を判定し、この条件に合致する要求に対しては、ライトミス検出時であってもリードシーケンサを動作させずに直ちにライトシーケンサを動作させることにより、主メモリからキャッシュラインへの該当データ部分の読み込みを行わずに、当該キャッシュライン上での書き込みを行わせる構成としたので、バスのトランザクションを減少して、性能向上を図ることができる。しかも、主メモリからキャッシュへのデータ読み込みが行われなくても、連続するライトアクセスによりキャッシュ上の1ラインが全て書き換えられることから、その後、ライトバックキャッシュ制御手段のライトバック制御により、当該キャッシュラインのデータがキャッシュから主メモリにライトバックされても、何ら問題はない。

【図面の簡単な説明】

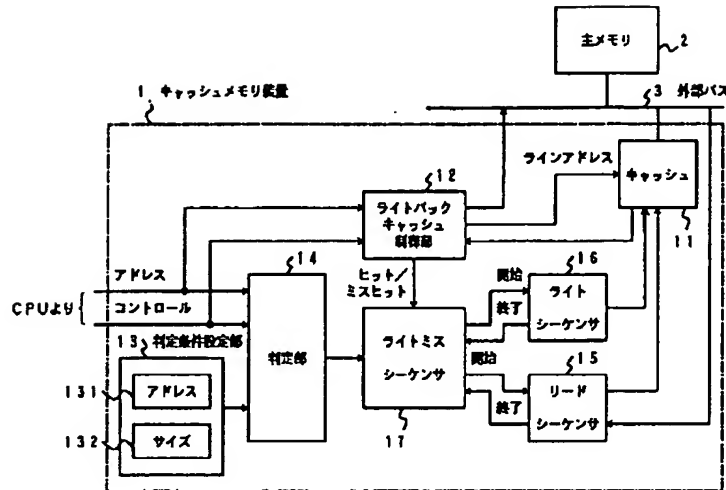
【図1】この発明の一実施例に係るライトバック方式のキャッシュメモリ装置の構成を示すブロック図。

【図2】同実施例におけるライトミス発生時のライトミスシーケンサ17の動作を説明するためのフローチャート。

【符号の説明】

1…キャッシュメモリ装置、2…主メモリ、3…外部バス、11…キャッシュ、12…ライトバックキャッシュ制御部、13…判定条件設定部、14…判定部、15…リードシーケンサ、16…ライトシーケンサ、17…ライトミスシーケンサ、131…アドレスレジスタ、132…サイズレジスタ。

【図1】



【図2】

